

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

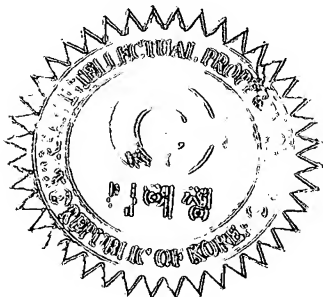
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0066134  
Application Number

출원년월일 : 2002년 10월 29일  
Date of Application OCT 29, 2002

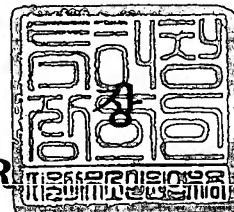
출원인 : 페어차일드코리아반도체 주식회사  
Applicant(s) FAIRCHILD KOREA SEMICONDUCTOR LTD.



2003    07    28    일  
          년    월    일

특            허            청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.10.29
【발명의 명칭】	전자기 간섭 방지 방법 및 그 장치
【발명의 영문명칭】	METHOD AND APPARATUS FOR REDUCING ELECTROMAGNETIC INTERFERENCE
【출원인】	
【명칭】	페어차일드코리아반도체 주식회사
【출원인코드】	1-1999-025205-6
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	이원일
【포괄위임등록번호】	2001-041607-1
【발명자】	
【성명의 국문표기】	장경운
【성명의 영문표기】	JANG,KYUNG OUN
【주민등록번호】	650220-1646812
【우편번호】	403-760
【주소】	인천광역시 부평구 일신동 풍림아파트 108동 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	김응선
【성명의 영문표기】	KIM,EUNG SUEN
【주민등록번호】	700707-1470815
【우편번호】	402-203
【주소】	인천광역시 남구 주안3동 851-18번지 한성빌라 301호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 유미특허법인 (인)

1020020066134

출력 일자: 2003/7/28

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 1 면 1,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 30,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

전자기 간섭 방지 장치에서, 제어 신호 생성부는 계수기, 제2 플립플롭 및 다중화기를 포함한다. 계수기는 서로 반대되는 레벨의 제1 및 제2 출력 신호를 각각 출력하며 서로 직렬로 연결되어 있는 n개의 제1 플립플롭을 포함하며, 제1 플립플롭은 이전 제1 플립플롭의 제1 또는 제2 출력 신호의 한 주기마다 출력이 반전된다. 제2 플립플롭은 계수기의 마지막 제1 플립플롭의 제1 또는 제2 출력 신호의 한 주기마다 출력이 반전되며 서로 반대되는 레벨의 제3 및 제4 출력 신호를 출력한다. 다중화기는 제2 플립플롭의 제3 출력 신호가 제1 레벨일 때 n개의 제1 플립플롭의 제1 출력 신호를 n비트의 제어 신호로 통과시키고 제3 출력 신호가 제2 레벨일 때 n개의 제1 플립플롭의 제2 출력 신호를 n비트의 제어 신호로 통과시킨다. 전압 조절부는 제어 신호의 순차적인 계수치에 대응하는 순차적인 레벨을 가지는 전압을 출력하며, 발진기는 전압 조절부에서 출력되는 전압에 각각 대응하는 주파수를 가지는 클럭 신호를 생성한다.

## 【대표도】

도 1

## 【색인어】

주파수, 전자기, 계수기, 플립플롭, 전압 조절, 발진기

**【명세서】****【발명의 명칭】**

전자기 간섭 방지 방법 및 그 장치 {METHOD AND APPARATUS FOR REDUCING ELECTROMAGNETIC INTERFERENCE}

**【도면의 간단한 설명】**

도 1은 본 발명의 실시예에 따른 전자기 간섭 방지 장치의 개략적인 블록도이다.

도 2는 본 발명의 실시예에 따른 전자기 간섭 방지 장치의 제어 신호 생성부의 개략적인 블록도이다.

도 3은 본 발명의 실시예에 따른 제어 신호 생성부의 상세 블록도이다.

도 4는 본 발명의 실시예에 따른 제어 신호 생성부의 플립플롭의 출력 신호 및 제어 신호의 타이밍도이다.

도 5는 본 발명의 실시예에 따른 전압 조절부의 개략적인 회로도이다.

도 6은 본 발명의 실시예에 따른 전압 조절부의 출력 전압을 나타내는 도면이다.

도 7은 본 발명의 실시예에 따른 발진기의 개략적인 회로도이다.

도 8은 본 발명의 실시예에 따른 발진기에서 생성되는 클럭 신호를 나타내는 도면이다.

도 9는 본 발명의 실시예에 따라 동작 주파수가 변동된 경우의 에너지 스펙트럼을 나타내는 도면이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 전자기 간섭(EMI, electromagnetic interference)을 감소시키는 방법 및 그 장치에 관한 것이다.
- <11> 전자기 간섭은 전자적인 방해로 장치, 기기 또는 시스템의 성능의 저하를 일으키는 것이다. 특히, 높은 주파수의 전자 노이즈가 미세한 칩을 매개로 기기에서 외부로 방출되어 다른 장치에 영향을 주기도 하고, 다른 장치에서 발생한 전자 노이즈가 미세한 칩을 매개로 장치 내로 유입되어 오 동작을 유발하게 된다.
- <12> 이러한 전자기 간섭은 반도체 소자의 동작 속도나 드라이브 동력에 의해 증가되거나 신호의 동작 주파수, 부하의 임피던스, 배선의 길이, 바이패스 캐패시터까지의 거리 등에 의해 증가된다.
- <13> 전자기 간섭을 줄이기 위한 방법으로는 라인 필터를 사용하여 파워 서플라이에 영향을 주는 노이즈를 감소시키는 방법, 스위칭 시 전원 선이나 접지선을 타고 노이즈가 진입할 수 있는 부분을 넓은 패턴으로 형성하는 방법, PCB 패턴에서 노이즈에 민감한 부분을 격리(isolation)하는 방법, 접지 면적을 증가시키는 방법 등이 있다.
- <14> 이러한 방법을 사용하는 경우에 라인 필터와 같은 외부 노이즈 제거 소자를 추가로 설치하여야 한다는 문제점이 있다. 또는 PCB의 회로 배치 등에 의해 패턴을 넓히거나 노이즈에 민감한 부분을 격리시키는 데는 한계가 있다.

## 【발명이 이루고자 하는 기술적 과제】

<15> 본 발명이 이루고자 하는 기술적 과제는 외부 노이즈 제거 소자를 사용하지 않고 전자기 간섭을 줄이는 것이다.

## 【발명의 구성 및 작용】

<16> 이러한 과제를 해결하기 위해 본 발명은 발진기의 동작 주파수를 연속적으로 변화시킨다

<17> 본 발명의 한 특징에 따른 전자기 간섭 방지 장치는 제어 신호 생성부, 전압 조절부 및 발진기를 포함한다. 제어 신호 생성부는 n비트의 신호를 차례로 계수하여 순차적인 계수치를 가지는 n비트의 제1 출력 신호 및 제1 출력 신호에 대하여 반전된 레벨을 가지는 제2 출력 신호를 출력하는 계수기를 포함하며, 계수기의 주기에 따라 제1 및 제2 출력 신호를 교대로 제어 신호로서 출력한다. 전압 조절부는 제어 신호의 순차적인 계수치에 대응하는 순차적인 레벨을 가지는 전압을 출력하며, 발진기는 전압 조절부에서 출력되는 전압에 각각 대응하는 주파수를 가지는 클럭 신호를 생성한다.

<18> 계수기는 직렬로 연결되는 n개의 제1 플립플롭을 포함하는 것이 바람직하다. 각각의 제1 플립플롭은 1비트의 제1 및 제2 출력 신호를 출력하며, 이전 제1 플립플롭의 제1 출력 신호가 제1 레벨로 되는 에지에 트리거되어 출력을 반전시킨다.

<19> 제어 신호 생성부는, 계수기의 마지막 제1 플립플롭에 직렬로 연결되어 마지막 제1 플립플롭의 제1 출력 신호가 제1 레벨로 되는 에지 에 트리거되어 출력을 반전시키는 제2 플립플롭, 그리고 제2 플립플롭의 출력의 레벨이 반전될 때마다 n개의 제1 플립플롭의 제1 및 제2 출력 신호를 교대로 출력하는 다중화기를 더 포함하는 것이 좋다.

- <20> 다중화기는, 제1 플립플롭의 제1 및 제2 출력 신호를 입력으로 하여 제2 플립플롭의 출력이 하이 레벨일 때 제1 출력 신호를 통과시키는 제1 트랜스미션 게이트 및 제2 플립플롭의 출력이 로우 레벨일 때 상기 제2 출력 신호를 통과시키는 제2 트랜스미션 게이트를 포함하는 것이 바람직하다.
- <21> 전압 조절부는 계수치에 대응하여  $2^n$ 개의 전압 레벨을 차례로 가지는 계단형 전압을 생성하며, 계단형 전압은 계수기의 주기에 따라 급격한 변동이 없이 증가 혹은 감소되어야 한다. 발진기는 전압 조절부의 전압을 하이 레벨 전압으로 수신하여 하이 레벨 전압과 기준 로우 레벨 전압의 차이에 반비례하는 주파수를 가지는 클럭 신호를 생성하는 것이 바람직하다.
- <22> 본 발명의 다른 특징에 따른 전자기 간섭 방지 장치에서, 제어 신호 생성부는 계수기, 제2 플립플롭 및 다중화기를 포함한다. 계수기는 서로 반대되는 레벨의 제1 및 제2 출력 신호를 각각 출력하며 서로 직렬로 연결되어 있는  $n$ 개의 제1 플립플롭을 포함하며, 제1 플립플롭은 이전 제1 플립플롭의 제1 또는 제2 출력 신호의 한 주기마다 출력이 반전된다. 제2 플립플롭은 계수기의 마지막 제1 플립플롭의 제1 또는 제2 출력 신호의 한 주기마다 출력이 반전되며 서로 반대되는 레벨의 제3 및 제4 출력 신호를 출력한다. 다중화기는 제2 플립플롭의 제3 출력 신호가 제1 레벨일 때  $n$ 개의 제1 플립플롭의 제1 출력 신호를  $n$ 비트의 제어 신호로 통과시키고 제3 출력 신호가 제2 레벨일 때  $n$ 개의 제1 플립플롭의 제2 출력 신호를  $n$ 비트의 제어 신호로 통과시킨다.
- <23> 본 발명에 따르면 전자기 간섭을 방지하는 방법이 제공된다. 이 방법에 의하면, 먼저  $n$ 비트 계수기를 통하여  $n$ 비트 신호를 차례로 계수하고 계수기의 한 주기마다  $n$ 비트 신호와  $n$ 비트 신호의 반전된 신호를 번갈아 제어 신호로서 출력한다. 다음, 제어 신호의 계수치에 대응



하여 차례로 증가 또는 감소하는 계단형 레벨을 가지는 출력 전압을 생성하고, 출력 전압의 레벨에 각각 대응하는 주파수를 가지는 클럭 신호를 생성한다.

<24> 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<25> 이제 본 발명의 실시예에 따른 전자기 간섭 방지 방법 및 그 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.

<26> 도 1은 본 발명의 실시예에 따른 전자기 간섭 방지 장치의 개략적인 블록도이다. 도 2는 본 발명의 실시예에 따른 전자기 간섭 방지 장치의 제어 신호 생성부의 개략적인 블록도이며, 도 3은 본 발명의 실시예에 따른 제어 신호 생성부의 상세 블록도이다.

<27> 도 1에 나타난 바와 같이, 본 발명의 실시예에 따른 전자기 간섭 방지 장치는 제어 신호 생성부(100), 전압 조절부(200) 및 발진기(300)를 포함한다. 제어 신호 생성부(100)는 발진기(300)로부터 초기에 출력되는 클럭 신호(CLK)를 수신하여  $n$ 개의 제어 신호( $S1-Sn$ )를 생성한다. 전압 조절부(200)는 제어 신호( $S1-Sn$ )에 따라  $n$ 개의 레벨의 가지는 전압( $V_{high}$ )을 출력하며, 발진기(300)는 이 출력 전압( $V_{high}$ )에 따라 다양한 주파수를 가지는 클럭 신호를 생성한다.

<28> 도 2 및 도 3을 참조하여 제어 신호 생성부(100)에서 대해서 상세히 설명한다.

<29> 도 2 및 도 3에 나타난 바와 같이, 제어 신호 생성부(100)는 계수기(110), 플립플롭(120) 및 다중화기(130)를 포함한다. 계수기(110)는  $n$ 개의 플립플롭( $FF1-FF_n$ )으로 이루어지며

, 플립플롭( $FF_1-FF_n$ ) 중 최종 플립플롭( $FF_n$ )의 출력이 플립플롭(120)의 입력으로 된다. 플립플롭( $FF_1-FF_n$ )은 각각 정상 상태와 반전된 상태의 두 신호( $Q_1-Q_n$ ,  $QB_1-QB_n$ )를 출력하며, 각각 클럭 신호(CLK)와 이전 플립플롭( $FF_1-FF_{n-1}$ )의 출력 신호( $Q_1-Q_{n-1}$ )의 상승 에지(rising edge)에 트리거되어 출력 신호( $Q_1-Q_n$ ,  $QB_1-QB_n$ )의 상태를 반전시킨다. 다시 말하면 플립플롭( $FF_1-FF_n$ )에 입력되는 신호(CLK,  $Q_1-Q_{n-1}$ )의 한 주기마다 플립플롭( $FF_1-FF_n$ )의 출력( $Q_1-Q_n$ ,  $QB_1-QB_n$ )이 반전된다. 마찬가지로 플립플롭(120)은 정상 상태와 반전된 상태의 두 신호(Q, QB)를 출력하며, 계수기(110)의 최종 플립플롭( $FF_n$ )의 출력 신호( $Q_n$ )의 상승 에지에 트리거되어 출력 신호(Q, QB)의 상태를 반전시킨다.

<30> 다중화기(130)는  $2n$ 개의 트랜스미션 게이트(transmission gate)( $TG_1-TG_n$ ,  $TGB_1-TGB_n$ )로 이루어진다. 트랜스미션 게이트( $TG_1-TG_n$ )는 플립플롭( $FF_1-FF_n$ )의 출력 신호( $Q_1-Q_n$ )를 입력받고, 트랜스미션 게이트( $TGB_1-TGB_n$ )는 플립플롭( $FF_1-FF_n$ )의 출력 신호( $QB_1-QB_n$ )를 입력받는다. 두 트랜스미션 게이트( $TG_1-TG_n$ ,  $TGB_1-TGB_n$ )는 플립플롭(120)의 출력 신호(Q, QB)의 상태에 따라 각각 플립플롭( $FF_1-FF_n$ )의 출력 신호( $Q_1-Q_n$  또는  $QB_1-QB_n$ )를 제어 신호( $S_1-S_n$ )로서 전달한다.

<31> 아래에서는 도 4를 참조하여 본 발명의 실시예에 따른 제어 신호 생성부(100)의 동작에 대해서 상세하게 설명한다. 도 4에서는 설명의 편의상 계수기(110)에 포함되는 플립플롭( $FF_1-FF_4$ ) 개수를 4개로 가정하고 이에 따라 4개의 제어 신호( $S_1-S_4$ )가 생성되는 것으로 가정하여 설명한다.

<32> 도 4는 본 발명의 실시예에 따른 제어 신호 생성부의 플립플롭의 출력 신호 및 제어 신호의 타이밍도이다.

<33> 도 4에 나타낸 바와 같이, 플립플롭( $FF_1$ )의 출력 신호( $Q_1$ )는 클럭 신호(도시하지 않음)의 상승 에지에 트리거되어 상승하고 클럭 신호(CLK)의 다음 상승 에지에 트리거되어 하강한다. 마찬가지로 플립플롭( $FF_2$ )의 출력 신호( $Q_2$ )는 플립플롭( $FF_1$ )의 출력 신호( $Q_1$ )의 상승 에지에 트리거되어 상승 및 하강한다. 이러한 식으로 플립플롭(120)의 출력 신호(Q)는 계수기(110)의 최종 플립플롭( $FF_4$ )의 출력 신호( $Q_4$ )의 상승 에지에 트리거되어 상승 및 하강한다. 그리고 플립플롭(120)의 출력 신호(QB)는 출력 신호(Q)의 반전된 상태로 된다.

<34> 도 3을 보면, 플립플롭(120)의 출력 신호(Q, QB)는 각각 트랜스미션 게이트( $TG_1$ - $TG_4$ ,  $TBG_1$ - $TBG_4$ )로 입력된다. 이때, 트랜스미션 게이트( $TG_1$ - $TG_4$ )는 플립플롭(120)의 출력 신호(Q)가 하이 레벨이고 출력 신호(QB)가 로우 레벨일 때 플립플롭( $FF_1$ - $FF_4$ )의 출력 신호( $Q_1$ - $Q_4$ )를 제어 신호( $S_1$ - $S_4$ )로 통과시킨다. 트랜스미션 게이트( $TBG_1$ - $TBG_4$ )는 플립플롭(120)의 출력 신호(Q)가 로우 레벨이 출력 신호(QB)가 하이 레벨일 때 플립플롭( $FF_1$ - $FF_4$ )의 출력 신호( $QB_1$ - $QB_4$ )를 제어 신호( $S_1$ - $S_4$ )로 통과시킨다.

<35> 따라서, 도 4에 나타낸 것처럼 플립플롭(120)의 출력 신호(Q)가 하이 레벨일 때는 출력 신호( $Q_1$ - $Q_4$ )가 각각 제어 신호 생성부(100)의 제어 신호( $S_1$ - $S_4$ )로 출력되고, 플립플롭(120)의 출력 신호(Q)가 로우 레벨일 때 출력 신호( $Q_1$ - $Q_4$ )의 반전된 신호( $QB_1$ - $QB_4$ )가 제어 신호( $S_1$ - $S_4$ )로 출력된다. 즉, 계수기(110)가 n비트를 계수하는 주기에 따라 계수기(110)의 출력 신호( $Q_1$ - $Q_n$ )와 반전된 출력 신호( $QB_1$ - $QB_n$ )를 번갈아서 제어 신호( $S_1$ - $S_n$ )로 출력된다.

<36> 이하, 이와 같이 생성된 제어 신호( $S_1$ - $S_n$ )에 따라 다양한 주파수를 가지는 클럭 신호를 생성하는 방법에 대하여 도 5 내지 도 8을 참조하여 상세하게 설명한다.

<37> 도 5는 본 발명의 실시예에 따른 전압 조절부의 개략적인 회로도이며, 도 6은 본 발명의 실시예에 따른 전압 조절부의 출력 전압을 나타내는 도면이다. 도 7은 본 발명의 실시예에 따른 발진기의 개략적인 회로도이며, 도 8은 본 발명의 실시예에 따른 발진기에서 생성되는 클럭 신호를 나타내는 도면이다.

<38> 도 5에 나타낸 바와 같이, 전압 조절부(200)는  $2^4$ (일반적인 경우에는  $2^n$ )개의 저항(R),  $15(=2^3+2^2+2+1)$ 개의 NMOS 트랜지스터(N1-N15) 및  $15(=2^3+2^2+2+1)$ 개의 PMOS 트랜지스터(P1-P15)를 포함한다. 저항(R)은 전원 전압(Vref)과 기준 전압 사이에 직렬로 연결되며, 각 저항(R)의 일단에 NMOS 트랜지스터(N1-N8) 및 PMOS 트랜지스터(P1-P8)가 교대로 연결되어 있다. 그리고 NMOS 트랜지스터(N1-N8) 및 PMOS 트랜지스터(P1-P8)는 하나씩 연결되며 그들의 접점에 NMOS 트랜지스터(N9-12) 및 PMOS 트랜지스터(P9-P12)가 교대로 연결되어 있다. 마찬가지로 NMOS 트랜지스터(N9-12) 및 PMOS 트랜지스터(P9-P12)는 하나씩 연결되며 그들의 접점에 NMOS 트랜지스터(N13, N14) 및 PMOS 트랜지스터(P13, P14)가 교대로 연결되어 있다. 또한 NMOS 및 PMOS 트랜지스터(N13, P13, N14, P14)의 교점에 각각 NMOS 및 PMOS 트랜지스터(N15, P15)가 연결되어 있다.

<39> 예를 들어, 제어 신호( $S_1$ - $S_4$ )가 '1111'이면 트랜지스터(N1, N9, N13, N15)에 의해 전원 전압(Vref)이 출력되고 '0111'이면 트랜지스터(P1, N9, N13, N15)에 의해 전원 전압(Vref)의 15/16이 출력된다. 이런 식으로 하여, 제어 신호( $S_1$ - $S_4$ )가 '0000'이면 트랜지스터(P8, P12, P14, P15)에 의해 전원 전압(Vref)의 1/16이 출력된다.

<40> 따라서, 전압 조절부(200)는 순서대로 계수되어 입력되는 제어 신호( $S_1$ - $S_n$ )의 조합에 의해 도 6에 나타낸 바와 같이 계단형으로 증가 또는 감소하는  $2^n$ 개의 레벨을 가지는 전압(V

$V_1-V_n$ ) 을 출력할 수 있다. 물론 전압 조절부(200)는 제어 신호( $S_1-S_n$ )에 의해 계단형으로 변하는 레벨을 출력할 수 있는 다른 구성으로 할 수도 있다.

<41> 전압 조절부(200)에서 출력되는 계단형 전압( $V_1-V_n$ )은 도 7에 나타낸 발진기(300)의 하이 레벨 전압( $V_{high}$ )으로 입력된다. 발진기(300)는 입력되는 톱니파(sawtooth) 신호가 각각의 계단형 전압( $V_1-V_n$ )에 도달할 때까지 충전되면 클럭 신호( $CLK_1-CLK_n$ )를 생성하여 출력한다. 도 8에 나타낸 바와 같이 클럭 신호( $CLK_1-CLK_n$ )의 주파수는 계단형 전압( $V_1-V_n$ )의 레벨이 높을수록 작아진다. 즉, 발진기(300)는 하이 레벨 전압( $V_{high}$ )과 로우 레벨 전압( $V_{low}$ )의 차이에 비례하는 펄스 폭을 가지는 클럭 신호( $CLK_1-CLK_n$ )를 생성한다. 이와 같이 하면 클럭 신호( $CLK_1-CLK_n$ )의 주파수를 일정 범위 내로 조절할 수 있다.

<42> 도 9의 (a)를 보면 고정된 주파수를 사용하는 경우에 특정 주파수 영역에 에너지 스펙트럼이 집중한다. 그러나 본 발명에 실시예에 의하면 일정 범위 내에서 주파수가 다양하게 조절되므로, 도 9의 (b)에 나타낸 바와 같이 에너지 스펙트럼이 분산되어 전자기 간섭이 줄어든다.

<43> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

#### 【발명의 효과】

<44> 본 발명에 의하면, 주파수를 고정하여 사용하지 않고 일정 범위 내에서 스케일링하여 사용할 수 있으므로, 특정 주파수에서의 에너지 스펙트럼의 집중을 방지할 수 있다. 그리고 분

1020020066134

출력 일자: 2003/7/28

산된 에너지 스펙트럼에 의해 전자기 간섭을 줄일 수 있다. 또한 기존에 사용되었던 외부 노이즈 제거 소자가 필요 없으므로, 제조 단가를 줄일 수 있다는 장점이 있다.

**【특허청구범위】****【청구항 1】**

n비트의 신호를 차례로 계수하여 순차적인 계수치를 가지는 n비트의 제1 출력 신호 및 상기 제1 출력 신호에 대하여 반전된 레벨을 가지는 제2 출력 신호를 출력하는 계수기를 포함하며, 상기 계수기의 주기에 따라 상기 제1 및 제2 출력 신호를 교대로 제어 신호로서 출력하는 제어 신호 생성부,

상기 제어 신호의 순차적인 계수치에 대응하는 순차적인 레벨을 가지는 전압을 출력하는 전압 조절부, 그리고

상기 전압 조절부에서 출력되는 전압에 각각 대응하는 주파수를 가지는 클럭 신호를 생성하는 발진기

를 포함하는 전자기 간섭 방지 장치.

**【청구항 2】**

제1항에 있어서,

상기 계수기는, 각각 1비트의 상기 제1 및 제2 출력 신호를 출력하며 직렬로 연결되어 있는 n개의 제1 플립플롭을 포함하며,

상기 제1 플립플롭은 이전 제1 플립플롭의 제1 출력 신호가 제1 레벨로 되는 에지에 트리거되어 출력을 반전시키는 전자기 간섭 방지 장치.

**【청구항 3】**

제2항에 있어서,

상기 제어 신호 생성부는,

상기 계수기의 마지막 제1 플립플롭에 직렬로 연결되어, 상기 마지막 제1 플립플롭의 제1 출력 신호가 상기 제1 레벨로 되는 에지에 트리거되어 출력을 반전시키는 제2 플립플롭, 그리고

상기 제2 플립플롭의 출력의 레벨이 반전될 때마다 상기 n개의 제1 플립플롭의 상기 제1 및 제2 출력 신호를 교대로 출력하는 다중화기를 더 포함하는 전자기 간섭 방지 장치.

#### 【청구항 4】

제3항에 있어서,

상기 다중화기는, 상기 제1 플립플롭의 제1 및 제2 출력 신호를 입력으로 하여, 상기 제2 플립플롭의 출력이 하이 레벨일 때 상기 제1 출력 신호를 통과시키는 제1 트랜스미션 게이트 및 상기 제2 플립플롭의 출력이 로우 레벨일 때 상기 제2 출력 신호를 통과시키는 제2 트랜스미션 게이트를 포함하는 전자기 간섭 방지 장치.

#### 【청구항 5】

제1항에 있어서,

상기 전압 조절부는 상기 계수치에 대응하여 2<sup>n</sup>개의 전압 레벨을 차례로 가지는 계단형 전압을 생성하며,

상기 계단형 전압은 상기 계수기의 주기에 따라 증가 및 감소하는 전자기 간섭 방지 장치.



## 【청구항 6】

제1항에 있어서,

상기 발진기는 상기 전압 조절부의 전압을 하이 레벨 전압으로 수신하여 상기 하이 레벨 전압과 기준 로우 레벨 전압의 차이에 반비례하는 주파수를 가지는 클럭 신호를 생성하는 전자기 간섭 방지 장치.

## 【청구항 7】

서로 반대되는 레벨의 제1 및 제2 출력 신호를 각각 출력하며 서로 직렬로 연결되어 있는  $n$ 개의 제1 플립플롭을 포함하며 상기 제1 플립플롭은 이전 제1 플립플롭의 제1 또는 제2 출력 신호의 한 주기마다 출력이 반전되는 계수기, 상기 계수기의 마지막 제1 플립플롭의 제1 또는 제2 출력 신호의 한 주기마다 출력이 반전되며 서로 반대되는 레벨의 제3 및 제4 출력 신호를 출력하는 제2 플립플롭, 그리고 상기 제2 플립플롭의 제3 출력 신호가 제1 레벨일 때 상기  $n$ 개의 제1 플립플롭의 제1 출력 신호를  $n$ 비트의 제어 신호로 통과시키고 상기 제3 출력 신호가 제2 레벨일 때 상기  $n$ 개의 제1 플립플롭의 제2 출력 신호를 상기  $n$ 비트의 제어 신호로 통과시키는 다중화기를 포함하는 제어 신호 생성부,

상기  $n$ 비트 제어 신호의 계수치에 대응하여 계단형 레벨을 가지는 전압을 출력하는 전압 조절부, 그리고

상기 전압 조절부의 계단형 전압의 레벨에 각각 대응하는 주파수를 가지는 클럭 신호를 생성하는 발진기를 포함하는 전자기 간섭 방지 장치.

**【청구항 8】**

일정 범위 내에서 다양한 주파수를 가지는 클럭 신호를 생성하여 전자기 간섭을 방지하는 방법에 있어서,

$n$  비트 계수기를 통하여  $n$ 비트 신호를 차례로 계수하고, 상기 계수기의 한 주기마다 상기  $n$ 비트 신호와 상기  $n$ 비트 신호의 반전된 신호를 번갈아 제어 신호로서 출력하는 단계,

상기 제어 신호의 계수치에 대응하여 차례로 증가 또는 감소하는 계단형 레벨을 가지는 출력 전압을 생성하는 단계, 그리고

상기 출력 전압의 레벨에 각각 대응하는 주파수를 가지는 클럭 신호를 생성하는 단계를 포함하는 전자기 간섭 방지 방법.

**【청구항 9】**

제8항에 있어서,

상기 출력 전압의 계단형 레벨은 상기 계수기의 주기에 따라 번갈아 증가 및 감소하는 전자기 간섭 방지 방법.

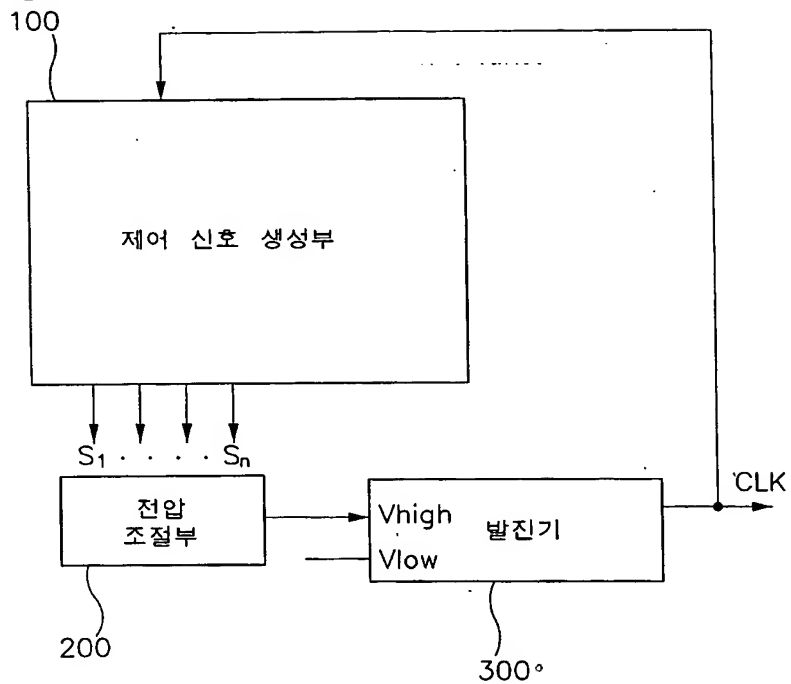
**【청구항 10】**

제8항에 있어서,

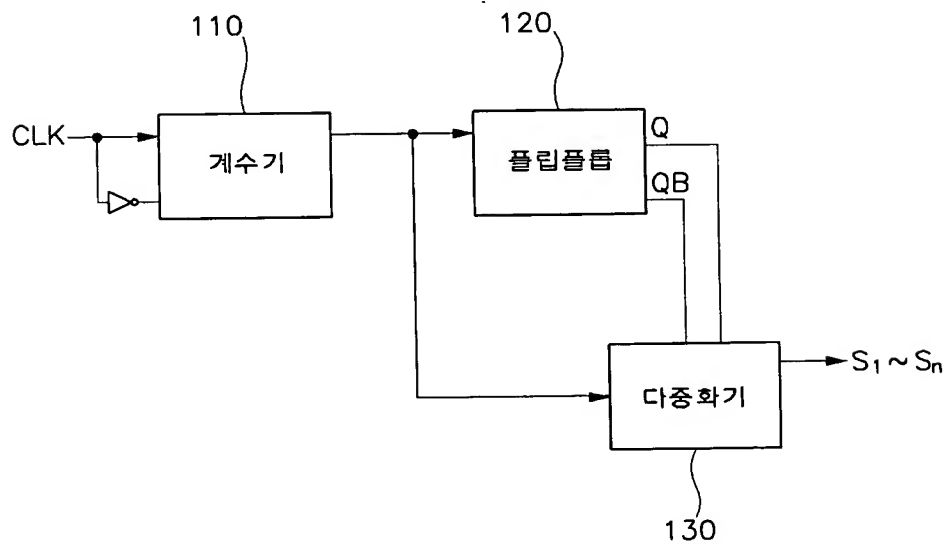
상기 출력 전압을 하이 레벨 전압으로 수신하는 발진기가 상기 하이 레벨 전압과 기준 로우 레벨 전압의 차이에 비례하는 펄스 폭을 가지는 상기 클럭 신호를 생성하는 전자기 간섭 방지 방법.

## 【도면】

【도 1】

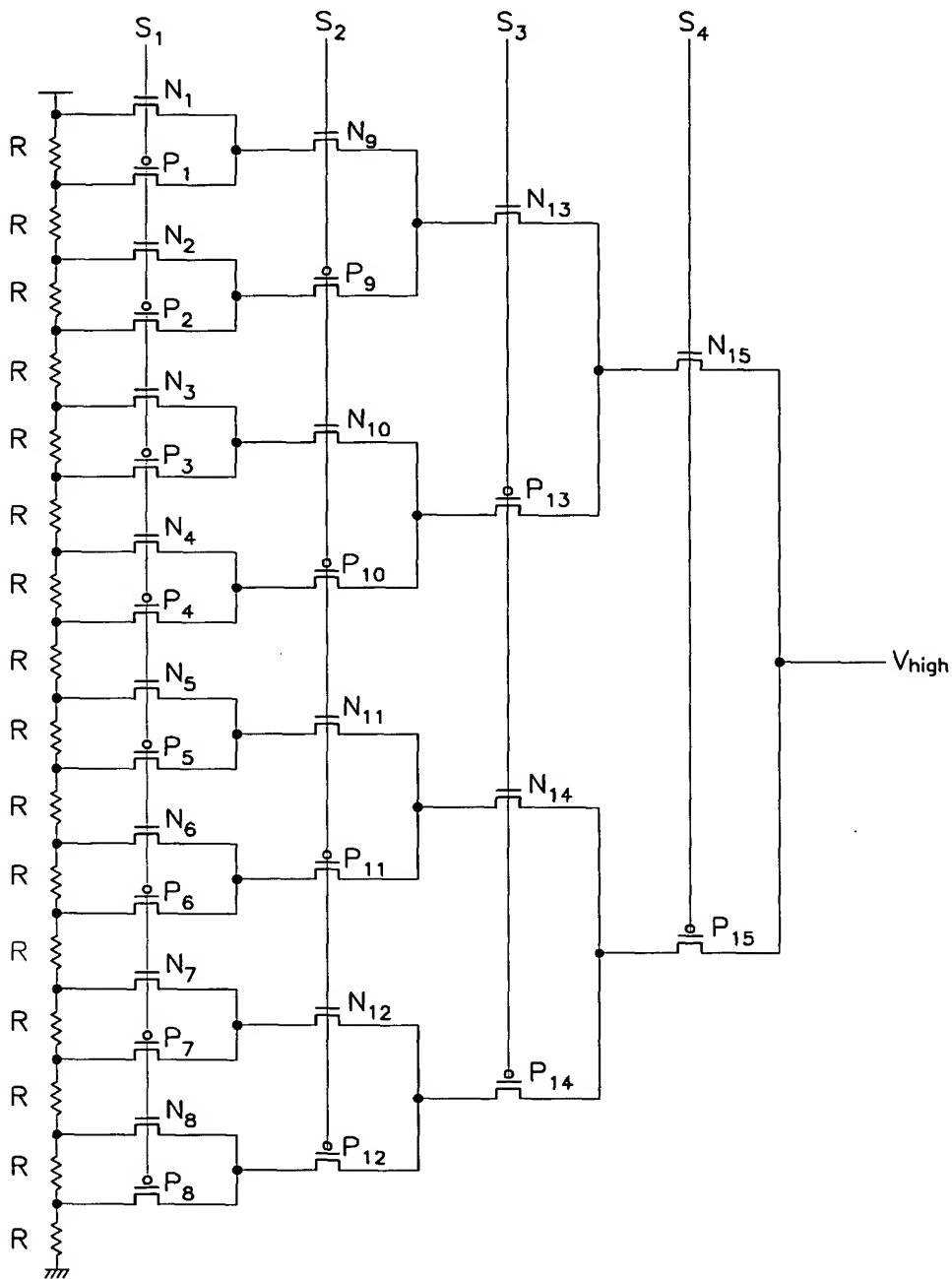


【도 2】

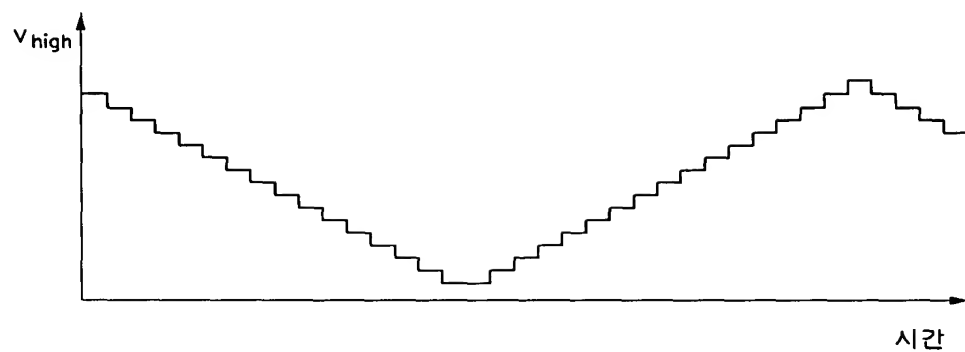


The diagram shows a multi-bit shift register circuit 120. It includes a series of flip-flops labeled  $FF_1$ ,  $FF_n$ , and a final output stage  $Q$ . A common clock signal  $CLK$  is connected to all flip-flops. The first flip-flop  $FF_1$  has inputs  $Q_1$  and  $QB_1$ . Its  $Q_1$  output is connected to a transmission gate  $TG_1$  controlled by  $S_1$ . Its  $QB_1$  output is connected to a transmission gate  $TGB_1$  controlled by  $S_2$ . The circuit continues with intermediate flip-flops up to  $FF_n$ , which have outputs  $Q_n$  and  $QB_n$ . These are connected to similar transmission gates  $TG_n$  and  $TGB_n$  controlled by  $S_{n-1}$  and  $S_n$  respectively. The final output stage  $Q$  produces the overall output  $Q$ .

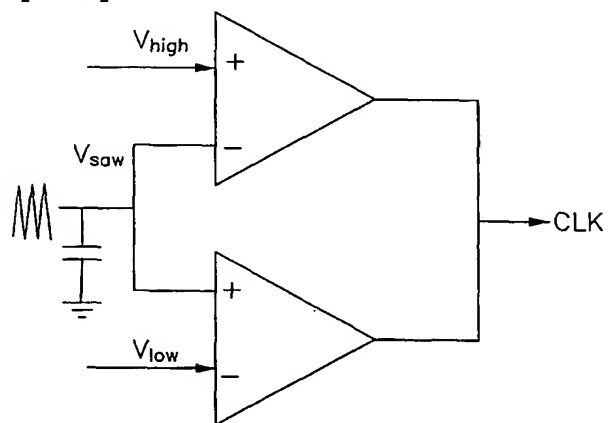
【도 5】



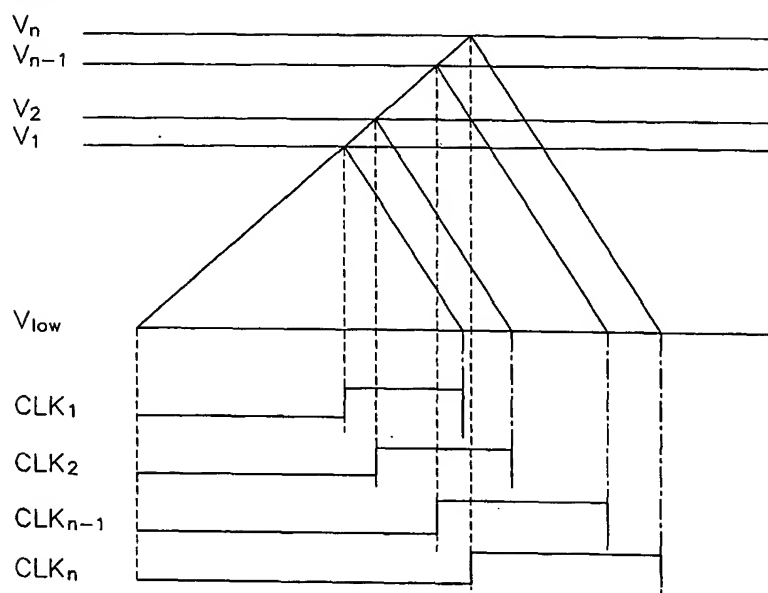
【도 6】



【도 7】



【도 8】



【도 9】

